

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Won-Kyu LEE, et al.

Art Unit: TBD

Appl. No.: To Be Assigned

Examiner: TBD

Filed: Concurrently Herewith

Atty. Docket: 6192.0278.AA

For: THIN FILM TRANSISTOR LIQUID
CRYSTAL DISPLAY

Claim For Priority Under 35 U.S.C. § 119 In Utility Application

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Appl. No.	Filing Date
KOREA	2001-003442	January 20, 2001

A certified copy of each listed priority document is submitted herewith. Prompt acknowledgment of this claim and submission is respectfully requested.

Respectfully submitted,


Hae-Chan Park,
Reg. No. P-50,114

Date: January 22, 2002

McGuireWoods LLP
1750 Tysons Boulevard
Suite 1800
McLean, VA 22102
703-712-5365

#2
KJY801
04/2002

10/05/2002
U.S. pro
01/22/02

#2
JC971 U.S. PTO
10/051226
01/22/02



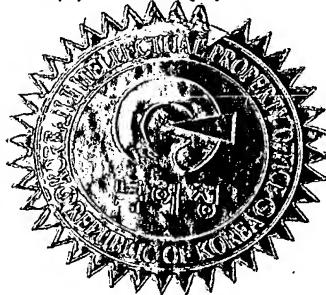
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 3442 호
Application Number PATENT-2001-0003442

출원년월일 : 2001년 01월 20일
Date of Application JAN 20, 2001

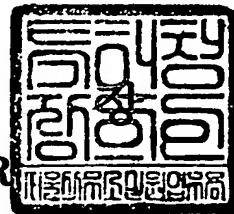
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 10 월 05 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2001.01.20
【발명의 명칭】	박막트랜지스터 액정표시장치
【발명의 영문명칭】	THIN FILM TRANSISTOR LIQUID CRYSTAL DISPLAY
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이원규
【성명의 영문표기】	LEE, WON KYU
【주민등록번호】	680928-1721714
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 상록우성APT 303동 905호
【국적】	KR
【발명자】	
【성명의 국문표기】	이형곤
【성명의 영문표기】	LEE, HYONG GON
【주민등록번호】	600408-1247016
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 죽전리 89-1 죽전 현대1차 APT 103동 1501호
【국적】	KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다.
대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 6 면 6,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 35,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

블럭 결합을 없앨 수 있는 박막트랜지스터 액정표시장치가 개시된다. 본 발명에 따르면, 데이터 라인을 라인 전환 방식으로 블럭 구동하는 액정표시장치에 있어서, 데이터 라인 블럭의 경계에 있는 화소들에 기생 캐퍼시터 영향에 의한 전압 변화를 균일하게 인가시키기 위해 해당 화소에 데이터 신호를 인가하는 데 이타 라인에 각 화소전극과 위에서 볼 때 겹치도록 연장편과 같은 확장부가 부가적으로 형성됨을 특징으로 한다. 확장부의 위치와 형태에 대한 특별한 제약은 없으나 데이터 라인이 신호를 공급하는 화소에서 확장부가 화소 전극과 겹치는 영역의 면적은 화면의 최외곽에 있지 않은 화소들에서 화소 전극과 양측 가운데 하나의 데이터 라인이 겹치는 면적에 접근하는 것이 바람직하다.

【대표도】

도 5

【명세서】

【발명의 명칭】

박막트랜지스터 액정표시장치 {THIN FILM TRANSISTOR LIQUID CRYSTAL DISPLAY}

【도면의 간단한 설명】

도1은 통상의 박막트랜지스터 액정표시장치의 화소 구성 레이아웃을 나타내는 평면도이다.

도2는 도1을 ii라인에 따라 절개한 경우 화살표 방향으로 본 개략적 측단면도이다.

도3은 블럭 결함을 나타내기 위해 블럭 경계부의 화소의 구성을 나타내는 등가 회로도이다..

도4는 본 발명의 일 실시예에 따른 박막트랜지스터 액정표시장치의 블럭 경계부 단위 화소의 레이아웃을 나타내는 평면도이다.

도5는 본 실시예에서 도4의 화소 주변의 화소 및 신호라인들을 추가하여 나타낸 등가 회로도이다.

도6, 도7, 도8은 본 발명의 다른 실시예들을 나타내는 도면들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 박막트랜지스터 액정표시장치에 관한 것으로, 보다 상세하게는 데이터 라인의 블럭 구동을 하는 박막트랜지스터 액정표시 장치에 관한 것이다.

<8> 액정표시장치의 구동을 위해서는 여러 가지 구동 방법이 사용될 수 있다. 이들 구동 방법은 액정표시장치의 표시장치로서의 특성, 패널을 위한 배선구조, 액정의 특성, 화소를 이루는 박막트랜지스터의 구성 등을 고려하여 만들어지는 것이다. 구체적으로 특정 목적을 위해 고안된 여러 구동 방법이 함께 사용되어 전체 액정표시장치를 구동하게 된다. 이들 액정표시장치의 구동방법 가운데 데이터 라인을 구동하는 방법으로 블럭 구동방식이 있다. 블럭 구동방식에서는 데이터 라인 일정 갯수를 하나의 블럭으로 하고 동일한 블럭 내의 데이터 라인에는 함께 신호를 인가하여 블럭 단위로 화면을 송출하게 된다. 특히 폴리실리콘형 박막트랜지스터 액정표시장치는 패널의 특성상 블럭 구동방식을 많이 사용하게 된다.

<9> 한편, 데이터 라인을 구동하는 방식으로 컬럼 전환(column inversion) 방식과 라인 전환(line inversion)방식이 있다. 이 가운데 컬럼 전환 방식은 폴리실리콘형 박막트랜지스터 액정표시장치가 많이 사용되는 중소형 액정표시장치에 사용될 경우 소비전력이 크다. 따라서 중소형 이동형 기기에 사용하기 적합하지 않다는 단점이 있다. 또한 컬럼 전환 방식의 경우 신호라인을 따라 화면표시장치

의 선명성에 영향을 주는 크로스 토크(cross talk)현상이 발생하기 쉽다는 단점이 있다.

<10> 따라서 이동 기기에 적합한 폴리실리콘형 박막트랜지스터 액정표시장치는 블럭 구동형이면서 라인 전환 방식을 사용하는 것이 바람직하다. 그런데 라인 전환 방식을 사용하는 블럭 구동형 액정표시장치에는 블럭 결함(block defect)이 나타나는 문제가 있다. 블럭 결함이란 화면을 이루는 블럭 단위로 경계상에 감지 가능한 선이 형성되는 현상이다. 이하 도면을 참조하면서 블럭 결함을 설명한다.

<11> 도1은 통상의 박막트랜지스터 액정표시장치의 화소 구성 레이아웃을 나타내는 평면도이다. 이런 구성을 이루기 위해, 우선, 하판에는 액티브 패턴(11)이 형성되고, 게이트 절연막이 적층된 뒤 게이트 라인(gate line:13)과 스토리지 라인(storage line:15)이 적층과 패터닝을 통해 형성된다. 그리고 소오스/드레인 콘택 홀들(17,19)을 가진 층간 절연막 위로 데이타 배선(21)과 소오스/드레인 전극(23,25)이 형성된다. 그리고 화소전극 콘택 홀(27)을 가지는 절연막 위로 화소 전극(29)이 형성된다.

<12> 화소전극이 알미늄 같은 반사판으로 이루어지는 경우, 또한 데이타 라인이 화소전극 사이의 공간에 설치되는 경우, 통상 화면의 콘트라스트를 증가시키기 위해 데이타 라인과 겹치도록 패널 상판에 블랙 매트릭스층이 형성된다.

<13> 도2는 도1을 ii라인에 따라 절개한 경우 화살표 방향으로 본 개략적 측면도이다. 하판(10)에는 화소전극(29)이 형성되어 있다. 화소 전극(29) 아래쪽에는 위에서 볼 때 화소 전극(29) 양측과 일부씩 겹치도록 데이타 라인(21)이 형성되어 있다. 이들 사이에는 절연막이 있어 전기적으로 볼 때 하나의 화소 전극

(29)과 양쪽의 드레인 전극(21)은 도2에 타원 점선으로 도시한 바와 같이 각각 가상의 캐퍼시터로 연결된 상태를 이룬다고 볼 수 있다. 이때 형성되는 가상적 정전용량 혹은 기생 용량은 화소 구성의 대칭적인 형태로 인하여 화소전극(29)의 좌우측 가상 캐퍼시터에 대해 동일한 크기로 형성된다고 볼 수 있다.

<14> 상판(40)에는 데이터 라인과 위에서 볼 때 겹치도록 블랙 매트릭스(35)가 형성되고, 화소전극(29)과 겹치도록 컬러 필터(33)가 형성되어 있다. 상판(40)과 하판(10) 사이에는 액정층(31)이 존재하며, 상판의 액정과 접한 표면에는 통상 도시되지 않은 투명한 공통전극이 형성된다.

<15> 도3은 블럭 결함을 나타내기 위해 블럭 경계부의 화소의 구성을 나타내는 등가 회로도이다. 경계부에 접한 화소들은 게이트 라인을 따라 형성되는 $n-1$, n 번째 화소와 $n+1$, $n+2$ 번째 화소이다. 블럭 구동을 위해 화소 혹은 데이터 라인을 n 개씩 묶어 블럭을 형성하면, n 번째 화소는 첫 번째 블럭에 속하게 되며, $n+1$ 번째 화소는 두 번째 블럭에 속하게 된다. 화소에 데이터 신호를 인가하는 데이터 라인은 화소전극 우측에 형성되는 것으로 가정하면, 첫 블럭에 데이터 신호를 인가할 때는 n 번째 화소가 좌우측 데이터 라인의 신호 인가에 의해 받는 영향, 즉, 인가 전압은 두 번째 블럭에 데이터 신호를 인가할 때 $n+1$ 번째 화소가 좌우측 데이터 라인의 신호 인가에 의해 받는 영향, 즉, 인가 전압과 다르게 됨을 알 수 있다.

<16> 화소전극이 받는 영향을 계산하기 위해 도3을 바탕으로 필요한 식을 정리하면 다음과 같다.

<17> 【수학식 1】 $Q=CV$

<18> 【수학식 2】 $C_p = f(C_{LD}, C_{RD}, C_{STG}, C_{LC}, C_G, C_{DG}, C_{DS})$

<19> 【수학식 3】 $C_p \Delta V_p = C_{LD} \Delta V_{LD} + C_{RD} \Delta V_{RD}$

<20> 이상의 수학식 1은 플로팅된 전극에서 전기량의 보존을 의미하고, Q는 전극에 축적된 전기량, C는 정전용량, V는 전압이다. 절연이 잘 되고 짧은 시간을 가정하면, 화소전극은 일종의 플로팅된 도전체로 볼 수 있다. 전체 화소전극의 정전 용량은 화소 전극이 다른 화소내 요소들과 함께 구성하는 정전 용량에 의해 결정된다(수학식 2 참조). 따라서 이들 화소내 요소들 가운데 일부에서 전압의 변화가 생기면 화소전극에도 전압의 변화가 유발된다(수학식 3 참조).

<21> 좀 더 부연하면, 화소가 양측 데이타 라인에서 영향을 받는다는 것은 액정에 영향을 주는 화소 전극이 양쪽 데이타 라인의 신호 인가에 따라 변화된 전압을 가진다는 것이다. 따라서 화소의 전압 변화는 화소 전극의 전압 변화(V_p)를 의미하는 것이다. 각 화소에서 화소전극의 정전용량(C_p)은 연관된 구성요소 사이의 정전용량의 기여분의 합수로 수학식 2와 같이 표현될 수 있다. C_p 는 화소전극의 전체 정전용량, C_{LD} 는 화소전극 왼쪽의 데이타 라인에 의한 정전용량, C_{RD} 는 화소전극 오른쪽 데이타 라인에 의한 정전용량, C_{STG} 는 스토리지 전극에 의한 정전용량, C_{LC} 는 액정층에 의한 정전용량, C_G 는 게이트 전극에 의한 정전용량, C_{DG} 는 데이타와 게이트 사이의 정전용량, C_{DS} 는 데이타와 스토리지 전극 사이의 정전용량을 나타낸다. 실질적으로 이들의 재질과 형태는 이미 정해진 것이므로 상수값으로 볼 수 있고 화소별로 차이가 없다.

<22> 한편, 수학식 3은 다른 요소의 변화가 없이 데이터 라인의 신호만 변화할 때 화소전극의 전압 변화분과 정전용량의 곱은 좌우측 데이터 라인의 신호, 즉, 전압 변화분 각각에 정전용량 각각을 곱한 것의 합과 같음을 나타낸 것이다.

<23> 이들 식에 따라 첫 블럭에 데이터 신호를 인가할 때 n번째 화소전극의 양측 데이터 라인과의 기생용량에 의한 전압 변화분과 두 번째 블럭에 데이터 신호를 인가할 때 n+1번째 화소전극의 양측 데이터 라인과의 기생용량에 의한 전압 변화분을 계산하면, 다음 두 식을 얻을 수 있다.

<24> 【수학식 4】 $\Delta V_p(n) = \{C_{LD}\Delta V_D(n-1) + C_{RD}\Delta V_D(n)\} / C_p(n)$

<25> 【수학식 5】 $\Delta V_p(n+1) = \{C_{LD}\Delta V_D(n) + C_{RD}\Delta V_D(n+1)\} / C_p(n+1)$

<26> 이들 식에서 첫 블럭 구동시 $\Delta V_D(n-1)$ 와 $\Delta V_D(n)$ 은 같은 값이며, 두 번째 블럭 구동시 $\Delta V_D(n)$ 은 0로 가고 $\Delta V_D(n+1)$ 은 크기에서 첫 번째 블럭 구동시의 $\Delta V_D(n)$ 과 같은 값이다. 또한, C_{LD} 와 C_{RD} 는, 그리고, $C_p(n)$ 와 $C_p(n+1)$ 은 도2에 도시된 바와 같은 화소 구성의 균일성 및 대칭성을 볼 때 통상 화소에 대해 모두 같은 값을 가진다고 생각할 수 있다. 결국 다음과 같은 식이 얻어진다.

<27> 【수학식 6】 $\Delta V_D(n) = 2 \Delta V_D(n+1)$

<28> 이는 앞서 언급한 바와 같이 블럭의 첫 번째 데이터 라인에 연결된 화소에서 화소 전극의 전압이 블럭의 여타 화소 전극의 전압과 다름을 말한다. 그리고 화소 전극에 인가되는 전압의 차이는 액정 배열 및 그에 따른 화소의 광 투과성의 차이를 의미한다. 이런 차이에서 블럭 결함이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<29> 따라서, 본 발명은 상술한 바와 같이 종래에 데이터 라인을 구동할 때 라인 전환 방식 블럭 구동시 블럭 결함이 생기는 것을 억제하기 위한 것이며, 라인 전환 방식 블럭 구동에서 블럭 결함을 방지할 수 있는 액정표시장치를 제공하는 것을 목적으로 한다.

<30> 본 발명은 따라서 라인 전환 방식 블럭 구동에서 화상에 경계선이 형성되는 현상을 억제할 수 있는 액정표시장치를 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<31> 상기 목적을 달성하기 위한 본 발명의 액정표시장치는, 데이터 라인을 라인 전환 방식으로 블럭 구동하는 액정표시장치에 있어서, 데이터 라인 블럭의 경계에 있는 화소들에 기생 캐퍼시터 영향에 의한 전압 변화를 균일하게 인가시키기 위해 해당 화소에 데이터 신호를 인가하는 데이터 라인에 각 화소전극과 위에서 볼 때 겹치도록 연장편과 같은 확장부가 부가적으로 형성됨을 특징으로 한다.

<32> 확장부의 위치와 형태에 대한 특별한 제약은 없으나 데이터 라인이 신호를 공급하는 화소에서 확장부가 화소 전극과 겹치는 영역의 면적은 화면의 최외곽에 있지 않은 화소들에서 화소 전극과 양측 가운데 하나의 데이터 라인이 겹치는 면적에 접근하는 것이 바람직하다. 즉, 확장부로 인한 기생 용량의 크기가 하나의 데이터 라인과 화소전극 사이의 기생 용량 혹은 가상적 정전 용량의 크기와 동일한 것이 바람직하다. 확장부는 단순히 데이터 라인의 폭을 늘림으로써 형성하는 것도 가능하다.

<33> 한편, 본 발명에서 블럭의 경계에 있는 화소들이라 함은 가령, 블럭을 이루도록 연관되는 데이터 라인의 갯수가 n개이고 i는 블럭 갯수에서 1을 감하여 얻어진 수의 범위내에 있는 자연수라면, in번째 데이터 라인과 in+1번째 데이터 라인 사이에 있는 화소들을 의미한다. 따라서 화소에 데이터 신호를 공급하는 데이터 라인이 화소의 좌측에 있다면 각 게이트 라인을 따라 in번째 화소들이, 데이터 라인이 화소의 우측에 설치되면 각 게이트 라인을 따라 in+1번째 화소들이, 블럭 경계에 있는 화소들이 될 것이다.

<34> 그러나 모든 화소에 좌우측으로 데이터 라인이 지나도록 화소 우측에 해당 화소의 데이터 라인이 설치될 때 0번째 데이터 라인을 첫번째 화소전극 좌측에 형성하거나, 화소 좌측에 해당 화소의 데이터 라인이 설치될 때 m+1번째 데이터 라인을 마지막 m번째 화소 우측에 형성한다면 부가되는 데이터 라인을 감안하여 블럭 경계에 있는 화소의 위치가 변화될 수 있다.

<35> 상기 목적을 달성하기 위한 본 발명의 박막트랜지스터 액정표시장치의 한 구성에 따르면, 본 발명은 기판, 기판에 형성된 폴리실리콘형 액티브 패턴을 상기 패턴과 게이트 절연막으로 이격된 게이트 전극이 가로지르는 형태로 화소마다 형성되어 복수가 행렬을 이루는 박막트랜지스터들을 구비한다. 그리고, 본 발명에는 행렬의 동일 행의 박막트랜지스터들의 게이트 전극들과 접속되어 게이트 전압을 인가하도록 복수의 게이트 라인들이 서로 평행하게 형성되며, 박막트랜지스터들에 데이터 신호를 인가하기 위해 행렬의 동일 열의 박막트랜지스터들의 드레인 영역들과 전기적으로 접속되는 복수의 데이터 라인들이 서로 평행하게 형성된다. 데이터 라인들은 인접한 화소들의 주변부를 지나면서 화소 중앙부에 형성되

는 화소 전극과 위에서 볼 때 일부씩 겹치도록 형성된다. 화소 전극은 박막트랜지스터들의 소오스 영역과 접속되며, 데이터 라인과는 절연막층을 통해 절연된다. 이때, 데이터 라인들을 라인 전환 방식으로 블럭 단위로 구동한다. 그리고 특징적으로, 블럭의 경계부 화소들에 데이터 신호를 인가하는 경계부 데이터 라인에 상기 경계부 화소들의 화소전극과 겹치는 확장부가 부가적으로 형성된다.

<36> 이런 구성에서 통상 블럭의 경계부 화소들은, n 을 블럭을 이루도록 연관되는 데이터 라인의 갯수이고 i 를 액정표시장치의 화면을 이루는 블럭 갯수에서 1을 감하여 얻어진 수 이내에 있는 자연수라면, in 번째 데이터 라인과 $in+1$ 번째 데이터 라인 사이에 있는 화소들이 된다.

<37> 한편, 화소전극은 금속 채질의 반사판 혹은 투명전극으로 이루어질 수 있으며, 화소들에서 상기 화소전극이 구성하는 정전용량을 보충하도록 화소별로 형성하는 스토리지 전극을 상기 행렬의 행으로 연결하는 스토리지 라인이 더 구비될 수 있다. 또한, 화소전극은 상기 데이터 라인과 유기 절연막으로 이격되며 상기 유기 절연막 표면에는 화소전극이 마이크로 렌즈를 형성하도록 엠보싱이 형성될 수 있다.

<38> 이하 도면을 참조하면서 본 발명을 상세히 설명하기로 한다.

<39> 도4는 본 발명의 일 실시예에 따른 박막트랜지스터 액정표시장치의 블럭 경계부 단위 화소의 레이아웃을 나타내는 평면도이다. 단, 본 실시예에서 구동부를 통해 데이터 라인이 블럭 구동되며, 라인 전환 방식을 취하고 있다는 것이 전제 된다.

<40> 도4를 참조하면, 화소에는 폴리실리콘층 활성 영역 패턴(11)이 구비된다.

활성 영역 패턴(11)은 수백 옹스트롬이 비정질 실리콘층을 기판에 적층하고 레이저 어닐링을 통해 폴리실리콘으로 변환시킨 뒤 포토리소그래피와 식각을 통해 패터닝하는 방법으로 형성할 수 있다. 활성 영역 패턴(11)은 게이트 전극을 포함하는 게이트 라인(13)으로 양분된다. 이때 게이트 라인(13)은 먼저 형성되며 도시되지 않는 실리콘 질화막 혹은 실리콘 산화막의 게이트 절연막에 의해 활성 영역 패턴(11)과 이격된 상태를 이룬다. 게이트 라인(13)과 평행하게 스토리지 라인(15)이 형성되어 있다. 통상, 스토리지 라인(15)은 게이트 라인(13)과 동일한 도전층으로 게이트 라인(13)을 패터닝할 때 함께 형성된다. 스토리지 라인(15)은 화소 전극(29)을 요소로 하는 캐퍼시터의 정전 용량을 보충하기 위한 것이므로 화소 전극(29)이 형성된 화소부에서 정전 용량을 증가시키기 위해 폭이 넓어져 스토리지 전극(151)을 이룬다. 한편, 게이트 라인(13)으로 분할된 활성 영역 패턴(11)의 위쪽 소오스 영역은 도시되지 않은 절연막에 형성된 소오스 전극 콘택(17)을 통해 소오스 전극(23)과 연결된다. 활성 영역 패턴(11)의 아래쪽 드레인 영역은 도시되지 않은 절연막에 형성된 드레인 전극 콘택(19)을 통해 드레인 전극(25)과 연결된다. 드레인 전극(25)은 데이터 라인(21)에서 돌출된 부분을 통해 데이터 라인(21)과 연결되어 있다. 소오스/드레인 전극(23,25)과 데이터 라인(21)은 동일한 도전층을 패터닝하여 형성된다. 소오스 전극(23)은 도시되지 않은 보호막에 형성된 화소전극 콘택(27)을 통해 화소영역의 중앙부에서 화소영역의 대부분을 덮고 있는 화소전극(29)과 연결되어 있다. 보호막은 절연막이며 감광성

유기 절연막을 사용할 경우 노광 공정만으로 패터닝이 가능하여 편리하게 사용할 수 있다. 보호막 표면에 일정 형태의 돌기를 형성하면 그 위에 덮인 화소전극이 마이크로 렌즈를 형성하여 액정표시장치의 화질을 높이도록 할 수 있다. 화소전극은 반사형 액정표시장치에서는 알루미늄 같은 금속 재질의 반사판으로 형성되며, 투과형 액정표시장치에서는 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide) 같은 투명전극을 사용한다. 화소전극(29)의 양편에는 데이터 라인(21)이 지나며, 각 데이터 라인(21)은 화소전극(29)과 일부씩 영역이 겹쳐 가상의 캐퍼시터를 형성하게 된다. 화소의 박막트랜지스터에 데이터 신호를 인가하는 것은 화소 전극 우측에 형성된 데이터 라인(21)이다. 이 우측의 데이터 라인(21)에는 드레인 전극(25)과의 연결을 위한 돌출된 부분 외에 다른 돌출된 부분인 연장편(31)이 화소 전극(29)의 상하부에 화소 전극(29)과 겹치도록 형성되어 있다. 연장편(31)도 데이터 라인(21)을 형성하면서 함께 형성된다.

<41> 도5는 본 실시예에서 도4의 화소 주변의 화소 및 신호라인들을 추가하여 나타낸 등가 회로도이다. 종래의 예를 나타내었던 도3의 구성과 대부분 동일한 양상을 보이고 있다. 즉, 박막트랜지스터 및 화소전극과 게이트 라인, 스토리지 라인,

액정과 관련된 변화는 보이지 않는다. 단, 블럭 경계 영역에 있는 화소, 즉, n번째 데이타 라인과 n+1번째 데이타 라인 사이의 화소에 데이타 신호를 인가하는 n+1번째 데이타 라인과 화소 전극 사이에 캐퍼시터 C_{LD}' 가 하나 추가되어 있다. 이때의 캐퍼시터는 데이터 라인에서 연장된 연장편과 화소전극이 겹치는 부분에 생기는 가상 용량을 나타내기 위한 것이다. 그 가상 용량은 연장편의 기하학적 배치, 면적에 따라 다소의 변화는 있으나, 충간 절연막과 그 두께에 의해 유전막의 유전율과 캐퍼시터 전극 간의 이격거리가 정해진 상태이므로 주로 겹치는 면적에 의해 추가적 캐퍼시터 용량이 결정된다.

<42> 따라서, 본 발명에 따라 연장편을 가질 경우, 첫 블럭에 데이타 신호를 인가할 때 n번째 화소전극의 양측 데이타 라인과의 기생용량에 의한 전압 변화분과 두 번째 블럭에 데이타 신호를 인가할 때 n+1번째 화소전극의 양측 데이타 라인과의 기생용량에 의한 전압 변화분을 계산하면, n번째 화소전극의 경우 변화가 없으므로 수학식 4가 얻어지며, n+1번째 화소전극의 경우 종래의 수학식 5는 다음의 수학식 7과 같이 변한다.

<43> 【수학식 7】 $\Delta V_p(n+1) = \{C_{LD}' \Delta V_D(n+1) + C_{RD} \Delta V_D(n+1)\} / C_p(n+1)$

<44> 그리고, 연장편이 도4의 화소전극 왼쪽 데이타 라인의 면적과 대등하다면, 즉, C_{LD}' 가 C_{LD} 와 같으면, $\Delta V_p(n)$ 은 $\Delta V_p(n+1)$ 이 되어 블럭 결함은 일어나지 않게 된다.

<45> 도6, 도7은 도4에서 연장편(31)의 형태를 달리하면서 형성한 본 발명의 다른 실시예를 나타낸 도면이다. 이들에서는 화소와 인접한 다른 데이타 라인쪽에

연장편(31', 31')을 형성하여 다른 화소들에서와 비슷한 화소전극 정전용량을 형성하도록 시도하고 있다. 이상 본 발명의 예에서 연장편은 통상 데이터 라인과 같은 금속 도전층으로 이루어지므로 투명 화소 전극을 이용하는 투과형 액정표시장치의 경우 개구율의 손실을 가져온다. 따라서 본 발명의 경우 투과형 보다 반사형에서 더 효과적으로 이용될 수 있다.

<46> 도8은 블럭 경계부 화소의 박막트랜지스터에 데이터 신호를 인가하는 데이터 라인(21')의 폭을 다른 데이터 라인보다 넓은 폭으로 형성한 예를 나타낸다.

【발명의 효과】

<47> 본 발명에 따르면, 데이터 라인을 라인 전환 방식(Line inversion type) 블럭 구동하는 박막트랜지스터 액정표시장치에서 블럭 경계부에 어두운 혹은 밝은 선이 보이는 블럭 결함을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

데이터 라인을 라인 전환 방식으로 블럭 구동하는 박막트랜지스터 액정표시 장치에 있어서,

데이터 라인 블럭의 경계부 화소들에 데이터 신호를 인가하는 경계부 데이터 라인에 상기 화소들의 화소전극과 겹치도록 확장부가 부가적으로 형성됨을 특징으로 하는 박막트랜지스터 액정표시장치.

【청구항 2】

제 1 항에 있어서,

상기 블럭의 경계부 화소들은 n 을 블럭을 이루도록 연관되는 데이터 라인의 갯수이고 i 를 액정표시장치의 화면을 이루는 블럭 갯수에서 1을 감하여 얻어진 수 이내에 있는 자연수라면, i 번째 데이터 라인과 $i+1$ 번째 데이터 라인 사이에 있는 화소들인 것을 특징으로 하는 박막트랜지스트 액정표시장치.

【청구항 3】

제 1 항에 있어서,

상기 확장부는 상기 경계부 데이터 라인의 폭을 상기 경계부 화소들의 화소 전극쪽으로 확장함으로써 형성된 것임을 특징으로 하는 박막트랜지스터 액정표시장치.

【청구항 4】

제 1 항에 있어서,

상기 확장부는 상기 경계부 데이터 라인에서 상기 경계부 화소들 각각의 화소전극으로 돌출되는 연장편들로 이루어짐을 특징으로 하는 박막트랜지스터 액정 표시장치.

【청구항 5】

제 1 항에 있어서,

상기 확장부는 상기 경계부 화소들과 겹치면서 지나는 데이터 라인 가운데 상기 경계부 데이터 라인 외의 데이터 라인이 상기 경계부 화소들의 화소전극과 겹치는 면적과 동일한 면적으로 형성됨을 특징으로 하는 박막트랜지스터 액정표시장치.

【청구항 6】

기판,

상기 기판에 형성된 폴리실리콘형 액티브 패턴을 상기 패턴과 게이트 절연막으로 이격된 게이트 전극이 가로지르는 형태로 화소마다 형성되어 복수가 행렬을 이루는 박막트랜지스터들,

상기 행렬의 동일 행의 박막트랜지스터들의 게이트 전극들과 접속되어 게이트 전압을 인가하도록 서로 평행하게 형성되는 복수의 게이트 라인들,

상기 박막트랜지스터들에 데이터 신호를 인가하기 위해 상기 행렬의 동일 열의 박막트랜지스트들의 드레인 영역들과 전기적으로 접속되면서 상기 화소들의 주변부를 지나도록 서로 평행하게 형성되는 복수의 데이터 라인들,

상기 박막트랜지스터들의 소오스 영역과 접속되도록 상기 화소들의 중앙부에 형성되며, 상기 화소들 각각의 주변부를 지나는 인접한 데이터 라인과 위에서 볼 때 겹치는 영역을 가지는 복수의 화소전극을 구비하며,

상기 데이터 라인들을 라인 전환 방식으로 블럭 단위로 구동하는 박막트랜지스터 액정표시장치에 있어서,

상기 블럭의 경계부 화소들에 데이터 신호를 인가하는 경계부 데이터 라인에 상기 경계부 화소들의 화소전극과 겹치는 확장부가 부가적으로 형성됨을 특징으로 하는 박막트랜지스터 액정표시장치.

【청구항 7】

제 6 항에 있어서,

상기 블럭의 경계부 화소들은 n 을 블럭을 이루도록 연관되는 데이터 라인의 갯수이고 i 를 액정표시장치의 화면을 이루는 블럭 갯수에서 1을 감하여 얻어진 수 이내에 있는 자연수라면, i 번째 데이터 라인과 $i+1$ 번째 데이터 라인 사이에 있는 화소들인 것을 특징으로 하는 박막트랜지스터 액정표시장치.

【청구항 8】

제 6 항에 있어서,

상기 화소전극은 금속 재질의 반사판 또는 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide) 같은 투명전극 가운데 하나로 이루어지는 것을 특징으로 하는 박막트랜지스터 액정표시장치.

【청구항 9】

제 6 항에 있어서,

상기 화소들에서 상기 화소전극과 함께 정전용량을 형성하는 스토리지 전극을 상기 행렬의 행으로 연결하는 스토리지 라인이 더 구비되는 것을 특징으로 하는 박막트랜지스터 액정표시장치.

【청구항 10】

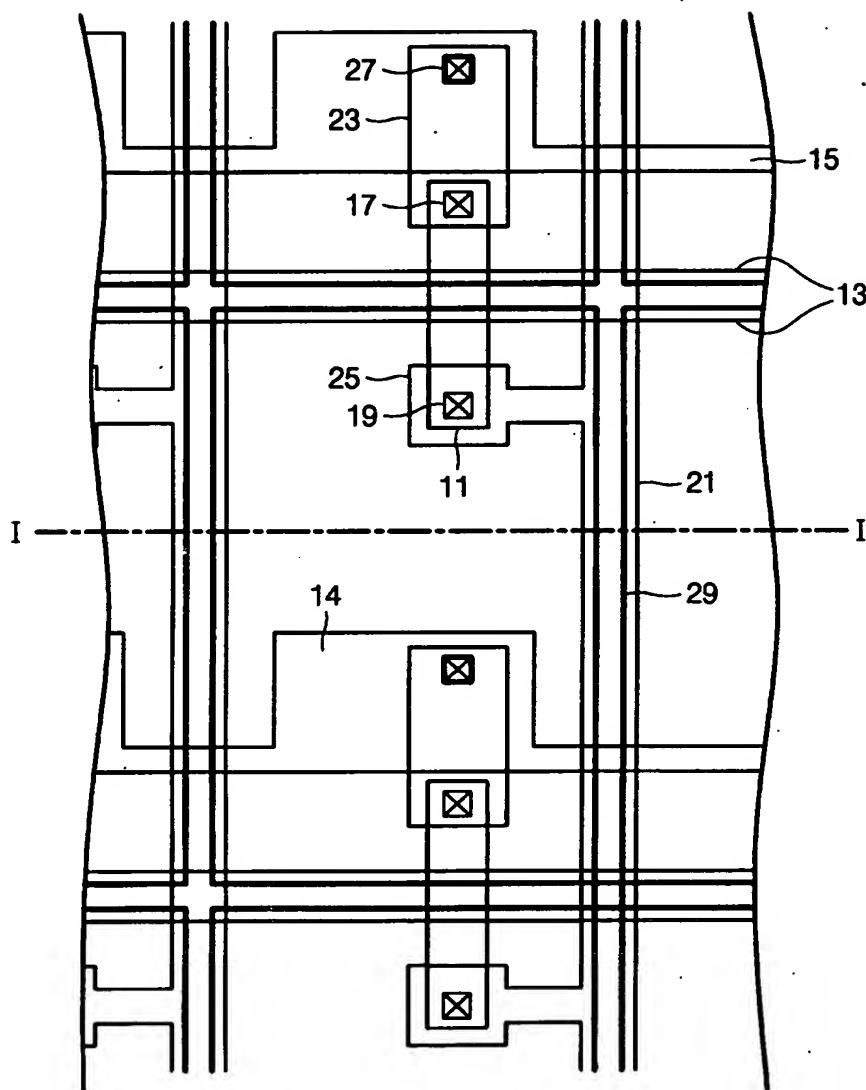
제 6 항에 있어서,

상기 화소전극은 상기 데이터 라인과 유기 절연막으로 이격되며 상기 유기 절연막 표면에는 마이크로 렌즈를 형성할 엠보싱이 형성된 것을 특징으로 하는 박막트랜지스트 액정표시장치.

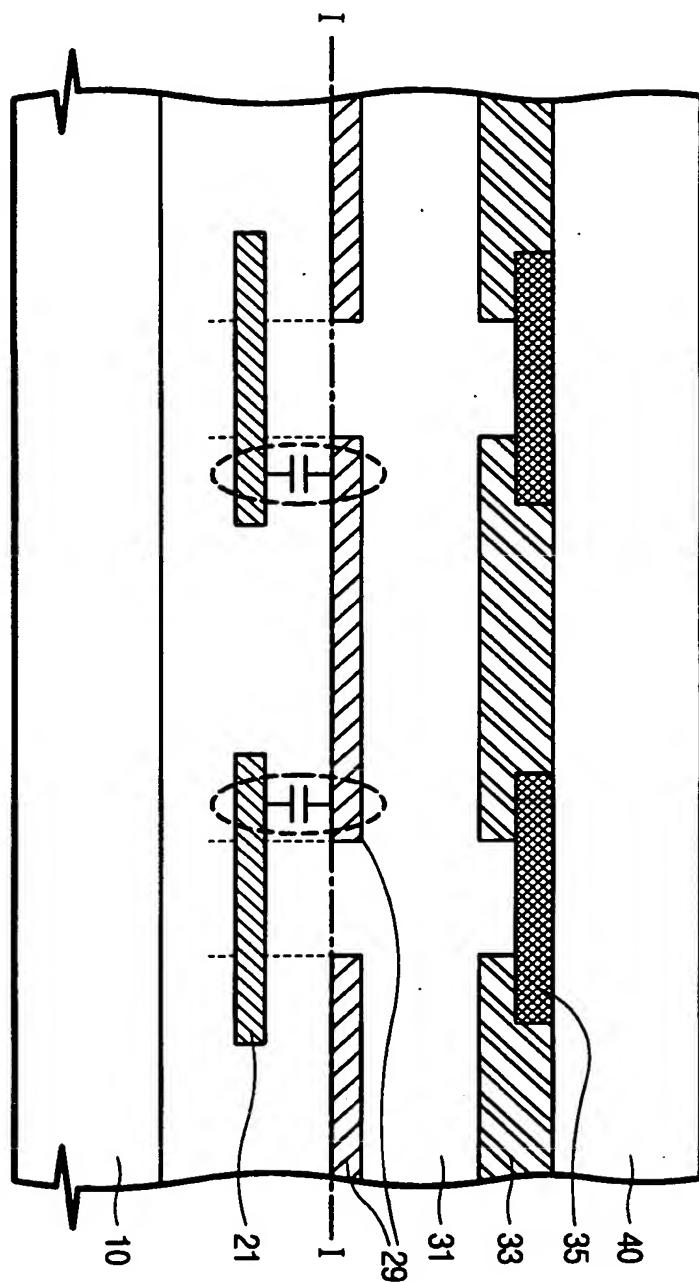
【도면】

【도 1】

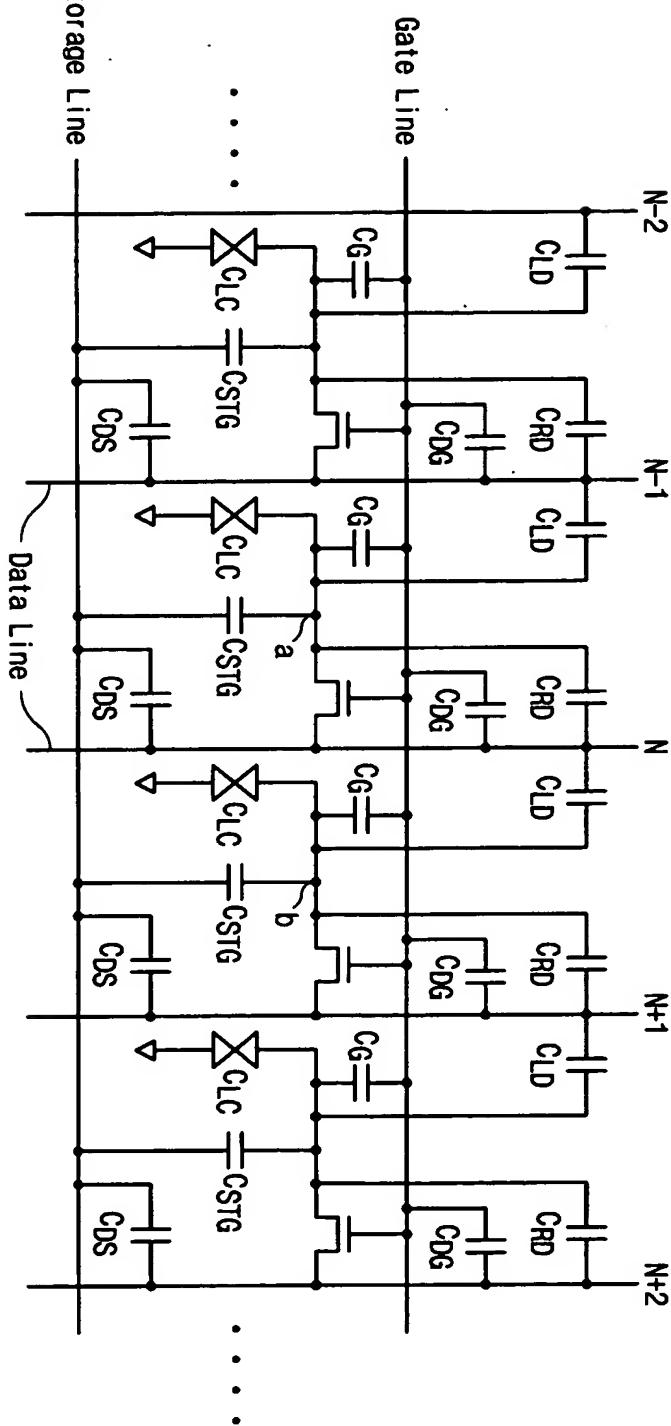
(종래 기술)



【도 2】



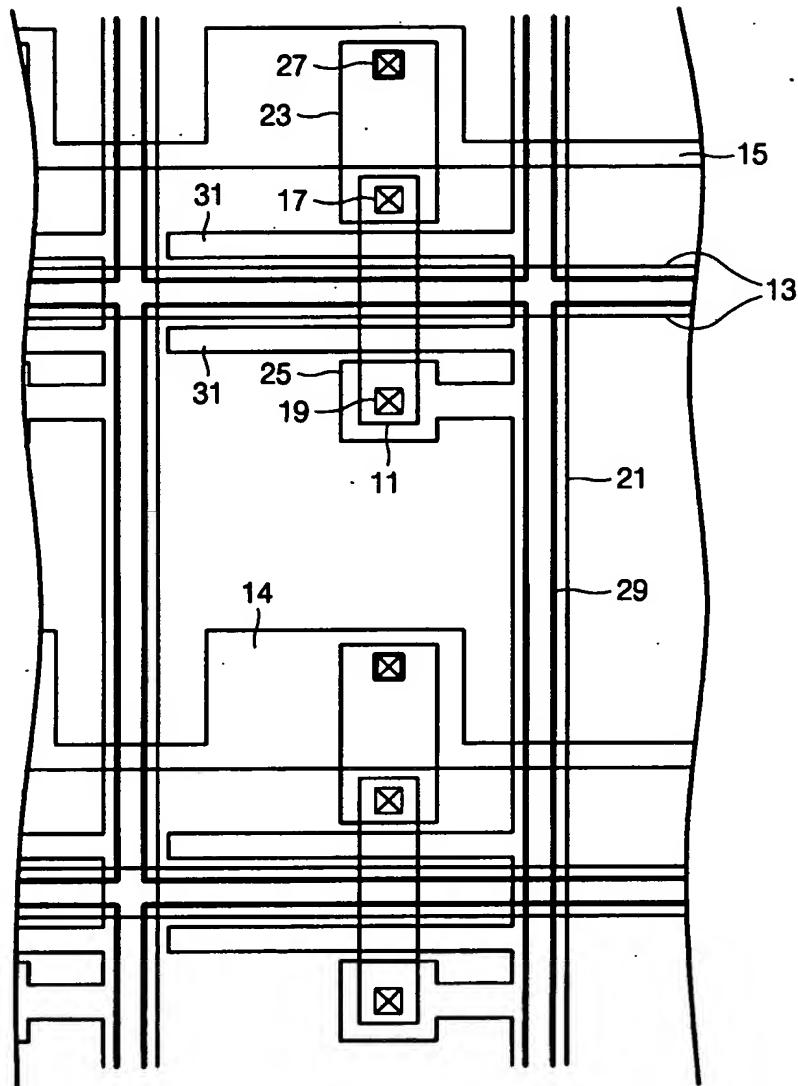
[3]



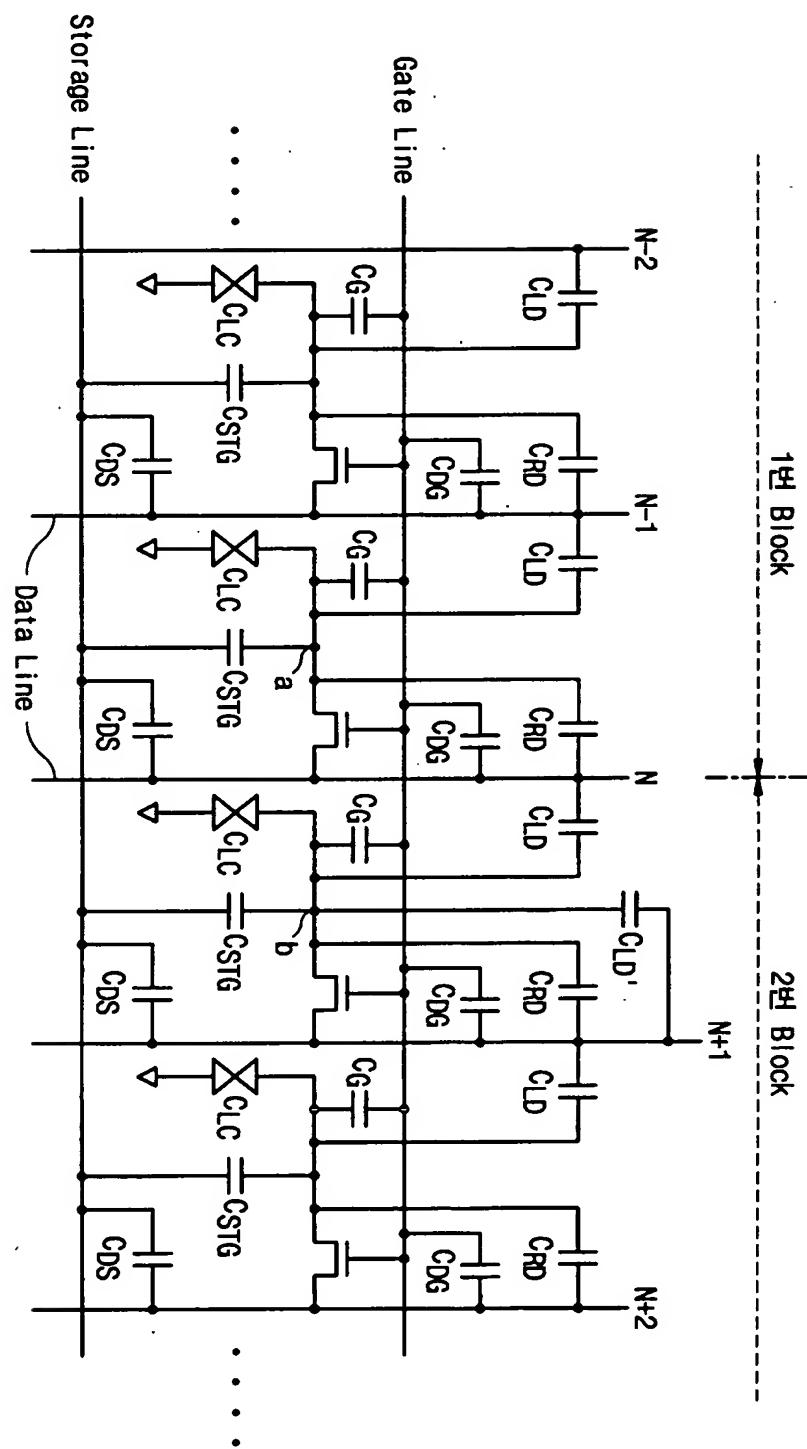
1bit Block

2bit Block

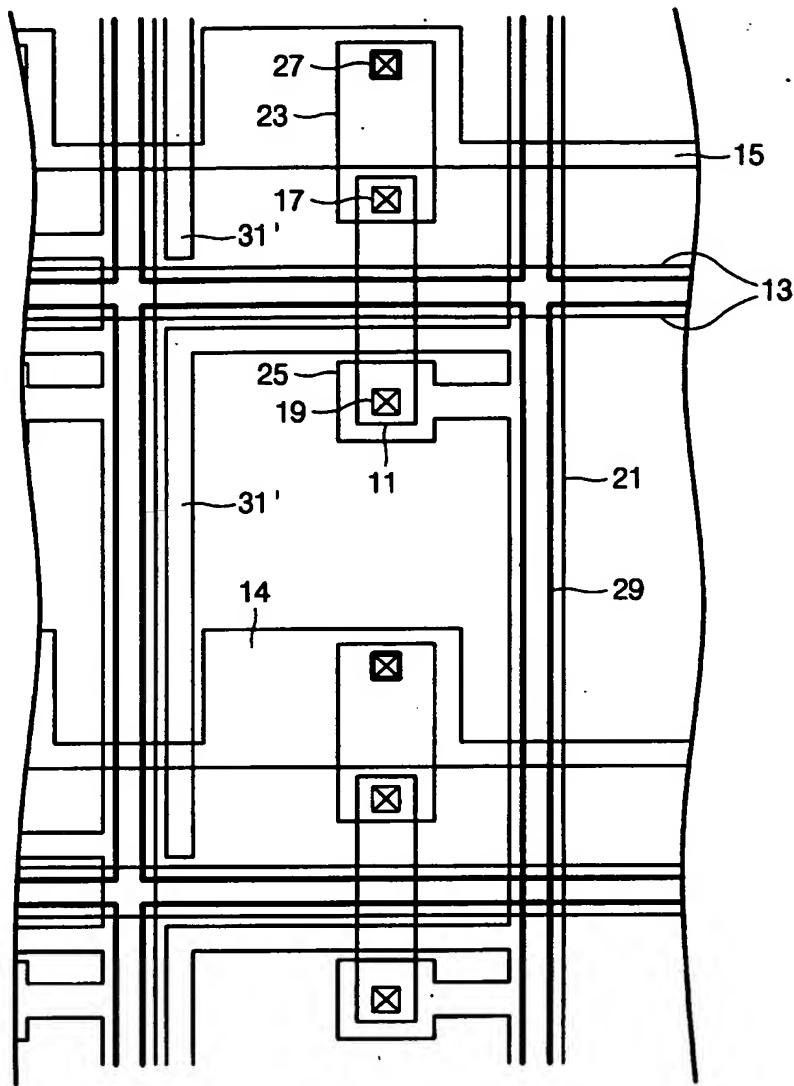
【도 4】



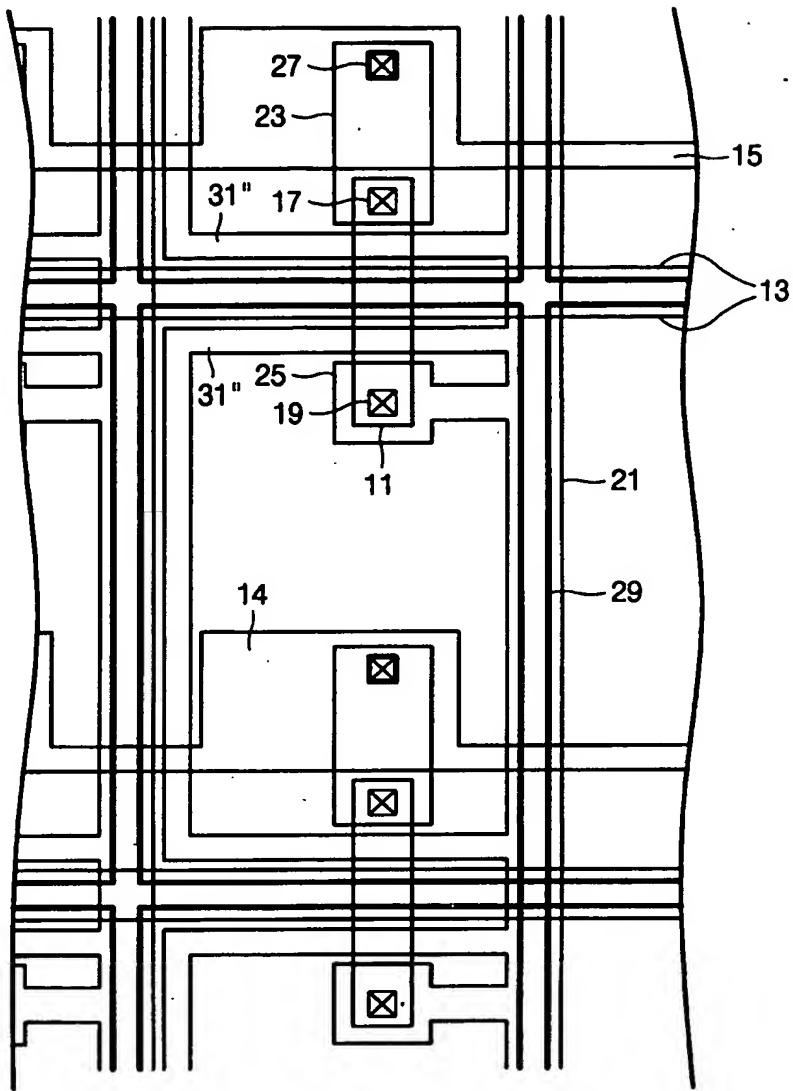
【도 5】



【도 6】



【도 7】



【도 8】

